

INTEGRATED CIRCUIT DEVICE WHICH IS SECURED AGAINST ATTACKS RESULTING FROM CONTROLLED DESTRUCTION OF AN ADDITIONAL LAYER

Patent number: WO0063836
Publication date: 2000-10-26
Inventor: BONVALOT BEATRICE [FR]; LEYDIER ROBERT [FR]
Applicant: SCHLUMBERGER SYSTEMS & SERVICE [FR];
BONVALOT BEATRICE [FR]; LEYDIER ROBERT [FR]
Classification:
- **international:** G06K19/077
- **european:** G06K19/073; G06K19/077; H01L23/58B
Application number: WO2000FR01031 20000419
Priority number(s): FR19990004916 19990419

Also published as:

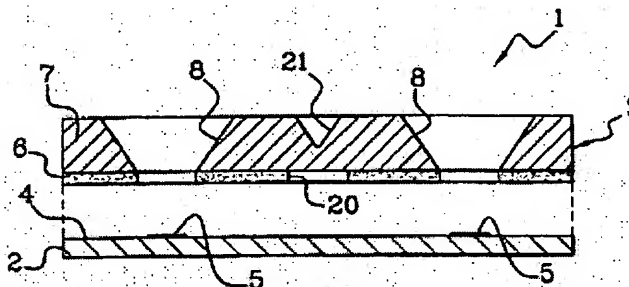
EP1183642 (A1)
US6576991 (B1)
FR2792440 (A1)
EP1183642 (B1)

Cited documents:

US5682296
DE19741889
EP0080233

Abstract of WO0063836

The invention relates to an integrated circuit device (1) comprising an active layer (2) made of a semiconductor material; an integrated circuit having one active surface (4) of said active layer (2), whereby the integrated circuit has circuit elements and at least one contact (5) flush with said active surface (4); an additional layer (3) fixed to the active surface (4), whereby said additional layer (3) at least partially covers the integrated surface of the active layer (2). The invention is characterized in that a hole (20, 23) is made in the additional layer (3), whereby said hole (20, 23) is perpendicular to at least one circuit element. The invention is especially suitable for use with chip cards.



Data supplied from the *esp@cenet* database - Worldwide

(51) Classification internationale des brevets ⁷ : G06K 19/077	A1	(11) Numéro de publication internationale: WO 00/63836 (43) Date de publication internationale: 26 octobre 2000 (26.10.00)
---	-----------	--

(21) Numéro de la demande internationale: PCT/FR00/01031

(22) Date de dépôt international: 19 avril 2000 (19.04.00)

(30) Données relatives à la priorité:
99/04916 19 avril 1999 (19.04.99) FR

(71) Déposant (pour tous les Etats désignés sauf US): SCHLUMBERGER SYSTEMES [FR/FR]; 50 Avenue Jean Jaurès, F-92120 Montrouge (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (US seulement): BONVALOT, Béatrice [FR/FR]; 19 Place de la Sarriette, F-91440 Bures sur Yvette (FR). LEYDIER, Robert [FR/FR]; 5 Allée des Planches, F-91400 Orsay (FR).

(74) Mandataire: MACQUET, Christophe; Schlumberger Systems, Test & Transactions, 50 Avenue Jean Jaurès, BP 620-12, F-92542 Montrouge Cedex (FR).

(81) Etats désignés: CN, JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

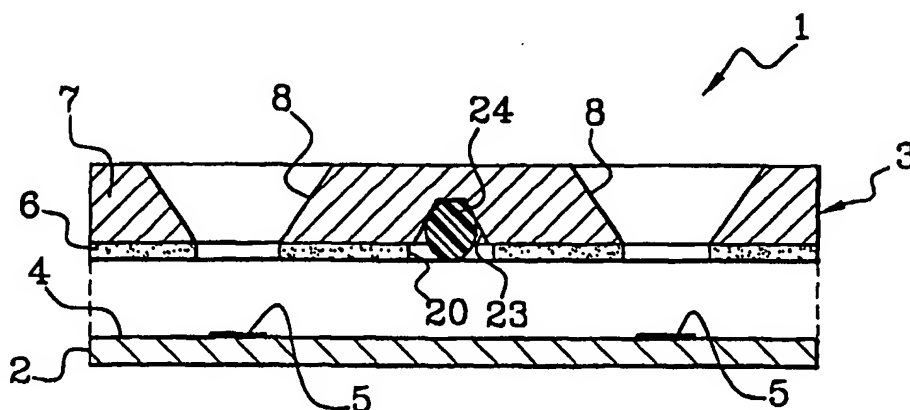
*Avec rapport de recherche internationale.
Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues.*

(54) Title: INTEGRATED CIRCUIT DEVICE WHICH IS SECURED AGAINST ATTACKS RESULTING FROM CONTROLLED DESTRUCTION OF AN ADDITIONAL LAYER

(54) Titre: DISPOSITIF A CIRCUIT INTEGRE SECURISE CONTRE DES ATTAQUES PROCEDANT PAR DESTRUCTION CONTROLEE D'UNE COUCHE COMPLEMENTAIRE

(57) Abstract

The invention relates to an integrated circuit device (1) comprising an active layer (2) made of a semiconductor material; an integrated circuit having one active surface (4) of said active layer (2), whereby the integrated circuit has circuit elements and at least one contact (5) flush with said active surface (4); an additional layer (3) fixed to the active surface (4), whereby said additional layer (3) at least partially covers the integrated surface of the active layer (2). The invention is characterized in that a hole (20, 23) is made in the additional layer (3), whereby said hole (20, 23) is perpendicular to at least one circuit element. The invention is especially suitable for use with chip cards.



(57) Abrégé

L'invention concerne un dispositif (1) à circuit intégré comportant une couche (2) active comprenant un matériau semi-conducteur; un circuit intégré à une face (4) active de ladite couche (2) active, ledit circuit intégré comportant des éléments de circuit et au moins un plot (5) de contact affleurant à ladite face (4) active; une couche (3) complémentaire fixée à ladite face (4) active, ladite couche (3) complémentaire couvrant au moins partiellement ledit circuit intégré de ladite couche (2) active. L'invention se caractérise en ce qu'un trou (20, 23) est ménagé dans la couche (3) complémentaire, ledit trou (20, 23) étant situé à l'aplomb d'au moins un élément de circuit. L'invention s'applique en particulier aux cartes à puce.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

DISPOSITIF A CIRCUIT INTEGRE SECURISE CONTRE DES
ATTQUES PROCEDANT PAR DESTRUCTION CONTRÔLEE D'UNE
COUCHE COMPLEMENTAIRE

5 La présente invention concerne des dispositifs à circuit intégré comportant une couche active et une couche complémentaire fixée à une face active de ladite couche active. La présente invention concerne en outre des cartes munies de tels dispositifs, des tranches de matériau semi-conducteur munies d'une pluralité de tels dispositifs ainsi que des procédés de fabrication de ces dispositifs.

10 Des dispositifs à circuit intégré précités sont notamment décrits dans les demandes internationales publiées sous les numéros WO-96/16378, WO-97/11442 et WO-99/12204. D'autres dispositifs sont décrits dans les demandes de brevet déposées en France sous les numéros FR-98/01305, FR-98/13029 et FR-99/00858 qui n'ont pas été rendues accessibles au public à la date de priorité de la
15 présente demande.

Ces dispositifs sont destinés à traiter ou à stocker des données confidentielles en vue, par exemple, de la réalisation de transactions électroniques dans des domaines variés tels que les domaines de la santé, de la télévision dite à péage, de la téléphonie ou tels que le domaine bancaire.

20 A cet effet, les dispositifs comportent des mémoires volatiles et non volatiles de type ROM, RAM, EEPROM, Flash PROM ou RAM Ferromagnétique ainsi qu'une unité centrale de traitement ou CPU, qui gère et distribue, par l'intermédiaire de bus d'adresses et de données, lesdites données confidentielles.

25 En pratique, les dispositifs sont intégrés au sein d'un module électronique et reportés dans un corps de carte tel que défini dans les normes ISO 7816 et 14443 ou GSM 11.11 et 11.14. Par ailleurs, des plots de contact des dispositifs sont connectés à des plages de contact affleurantes à la surface du corps de carte, ou alors, à des bornes de contact d'une antenne noyée dans le corps de carte, ce qui

permet aux cartes de communiquer avec le monde extérieur. Selon leur mode de fonctionnement, les cartes sont dites à contact, sans contact ou alors mixtes.

Grâce aux dispositifs selon l'invention, la sécurité des données stockées ou traitées dans les cartes est améliorée. En effet, les attaques physiques tendant à
5 dissocier la couche complémentaire et la couche active pour un accès non destructif au circuit intégré ne sont plus possibles. Il en va de même et ce, pour certains modes de réalisation desdits dispositifs, des attaques dites en lumière dans lesquelles un rayonnement électromagnétique focalisé vient perturber le fonctionnement sécuritaire de la puce.

10 Toutefois, d'autres attaques peuvent être mises en oeuvre avec quelques chances de succès à l'encontre des dispositifs connus. Il s'agit d'attaques physiques qui procèdent par destruction contrôlée de la couche complémentaire et, notamment, d'attaques par polissage ou par gravure de ladite couche. A cause de ces attaques, des fraudeurs pourraient avoir accès à la face active d'un
15 dispositif à circuit intégré sans dégradation dudit circuit, prendre alors connaissance de l'architecture de ce circuit et, éventuellement, mettre en oeuvre les attaques précédemment interdites, telles que les attaques en lumière, pour accéder aux données confidentielles.

Dans le cas d'attaques par polissage, un plateau tournant de polissage est
20 amené parallèle au plan de la couche complémentaire. Ce plateau érode cette couche de manière contrôlée jusqu'au niveau de la face active.

Dans le cas d'attaques par gravure, différentes méthodes connues peuvent être mises en oeuvre. C'est le cas en particulier de la méthode dite RIE (Reactive Ion Etching) qui procède par voie sèche. Selon cette méthode, des espèces
25 chimiques réactives sont créées au sein d'un plasma électriquement neutre puis adsorbées à la surface de la couche complémentaire d'un dispositif où elles forment une couche moléculaire de complexes chimiques. Des ions, fortement accélérés dans un champ électrostatique, sont alors dirigés perpendiculairement vers la couche complémentaire du dispositif et détruisent la couche moléculaire
30 de complexes chimiques. La couche complémentaire ou, plus spécifiquement,

une partie de cette couche ne comprenant pas les ouvertures destinées à permettre une connexion électrique aux plots de contact, est ainsi finalement détruite couche par couche, jusqu'au niveau de la face active.

Compte tenu de ce qui précède, un problème que se propose de résoudre l'invention est de sécuriser des dispositifs à circuit intégré comportant une couche active comprenant un matériau semi-conducteur ; un circuit intégré à une face active de ladite couche active, ledit circuit intégré comportant des éléments de circuit et au moins un plot de contact affleurant à ladite face active ; une couche complémentaire fixée à ladite face active, ladite couche complémentaire couvrant au moins partiellement ledit circuit intégré de ladite couche active, contre des attaques procédant par destruction contrôlée de la couche complémentaire.

Au regard du problème précité, la solution de l'invention a pour objet un dispositif caractérisé en ce qu'un trou est ménagé dans la couche complémentaire, ledit trou étant situé à l'aplomb d'au moins un élément de circuit.

Ainsi, la destruction de la couche complémentaire ne peut plus être contrôlée et l'élément de circuit situé à l'aplomb du trou est détruit.

Par ailleurs, l'invention a pour objet une carte comportant un corps de carte muni d'un dispositif selon l'invention, une tranche de matériau semi-conducteur munie d'une pluralité de dispositifs selon l'invention ainsi qu'un procédé de fabrication d'un tel dispositif.

L'exposé qui va suivre, et qui ne comporte aucun caractère limitatif, permettra de mieux comprendre la manière dont l'invention peut être mise en pratique. Cet exposé est rédigé au regard des dessins annexés, dans lesquels :

- la figure 1 montre, en perspective, un dispositif selon l'invention dont des plots de connexion sont connectés à des fils conducteurs ;
- la figure 2 montre, en coupe transversale éclatée, une première variante de réalisation d'un dispositif selon l'invention ;
- la figure 3 montre, en coupe transversale éclatée, une deuxième variante de réalisation d'un dispositif selon l'invention ;

- la figure 4 montre, en coupe transversale éclatée, une troisième variante de réalisation d'un dispositif selon l'invention ;

- la figure 5 montre, en coupe transversale éclatée, une quatrième variante de réalisation d'un dispositif selon l'invention ;

5 - la figure 6 montre, en coupe transversale éclatée, une cinquième variante de réalisation d'un dispositif selon l'invention ;

- la figure 7 montre, en coupe transversale éclatée, une sixième variante de réalisation d'un dispositif selon l'invention ;

- la figure 8 montre, en coupe transversale éclatée, une septième variante de
10 réalisation d'un dispositif selon l'invention ; et

- la figure 9 illustre, en perspective, la fabrication d'une tranche de matériau semi-conducteur munie d'une pluralité de dispositifs selon l'invention.

Ainsi que cela est montré à la figure 1, un dispositif 1 à circuit intégré selon l'invention comporte une couche active 2 et une couche complémentaire 3,
15 lesdites couches 2 et 3 étant superposées. Ce dispositif 1 est sensiblement parallélépipédique et rectangle de l'ordre de 200 μm d'épaisseur et de 2 mm de côté.

La couche active 2 est avantageusement amincie et son épaisseur, sensiblement constante, est comprise entre 10 et 80 μm , par exemple de l'ordre
20 de 50 μm . Elle comprend une sous-couche de base formée d'un matériau semi-conducteur notamment du silicium et une sous-couche active à laquelle est intégré un circuit. La surface de la sous-couche active constitue la face active 4 du dispositif. Cette face active 4 montre des plots 5 de contact, par exemple au nombre de cinq. Elle montre par ailleurs différents éléments de circuit et
25 notamment des mémoires volatiles ou non volatiles RAM, ROM, EEPROM, Flash PROM ou RAM Ferromagnétique, une unité centrale de traitement CPU ainsi que des lignes bus de données et d'adresses. Les plots 5 de contact ne sont pas, au sens de la présente invention, des éléments de circuit.

La couche complémentaire 3 a une épaisseur sensiblement constante, de l'ordre de 150 μm . Elle se compose d'une sous-couche de scellement 6 et d'une sous-couche de protection 7.

La sous-couche de scellement 6 est formée d'un matériau isolant par exemple d'un polyimide dont la fonction est de sceller la sous-couche de protection 7 à la face active 4 de la couche active 2. L'épaisseur de cette sous-couche 6 est sensiblement constante et de l'ordre de 10 μm .

La sous-couche de protection 7 est formée d'un matériau semi-conducteur, par exemple d'un silicium monocristallin, et comprend éventuellement des éléments actifs, tels qu'une capacité, ou des éléments passifs, tels que des particules chimiques ayant notamment pour fonction de rendre impossibles les attaques en lumière quelle que soit la longueur d'onde utilisée. L'épaisseur de cette sous-couche 7 est sensiblement constante et de l'ordre de 140 μm .

Par ailleurs, la couche complémentaire 3 est percée d'ouvertures débouchantes 8 à l'aplomb des plots 5 de contact. Ces ouvertures 8 ont pour fonction de permettre une connexion électrique des plots 5 à des bornes d'antenne et/ou des plages de contact d'un dispositif électronique, en particulier, carte à puce, destiné à recevoir le dispositif. A la figure 1, on a représenté des moyens de connexion par des fils 9.

Selon l'invention, la couche complémentaire 3 comporte en outre un ou plusieurs trous 20, 21, 22, 23. Ces trous sont à l'aplomb d'un ou plusieurs éléments de circuit. Ils sont avantageusement non-débouchants en ce sens qu'ils ne constituent pas des ouvertures traversantes dans la couche complémentaire 3. De ce fait, un fraudeur ne peut pas mettre en oeuvre une attaque en lumière dirigée sur le ou les éléments de circuit à l'aplomb du trou. Dans certains modes de réalisation de l'invention, les trous non-débouchants sont borgnes en ce sens qu'ils débouchent sur l'une des faces de la couche complémentaire. Dans d'autres modes de réalisation de l'invention, les trous non débouchants ne sont pas borgnes et forment alors une cavité dans la couche complémentaire 3. La conformation des trous est quelconque par exemple cylindrique de section

rectangulaire ou carrée ou conique de section rectangulaire ou carrée et éventuellement à base tronquée. Leur section, au niveau de la face de dessus de la couche complémentaire 3, définit une aire par exemple de l'ordre de $100 \mu\text{m}^2$, et leur profondeur est supérieure ou égale à l'épaisseur de la couche 6 de
5 scellement, c'est-à-dire supérieure ou égale à une valeur de $10 \mu\text{m}$.

Les figures 2 à 8 présentent différents modes de réalisation d'un dispositif selon l'invention, dans lesquels, pour des raisons de simplicité de visualisation des trous, les couches active 2 et complémentaire 3 sont disjointes.

Dans le mode de réalisation de la figure 2, un trou 20 cylindrique droit est
10 ménagé dans la sous-couche de scellement 6. Ce trou 20 est non débouchant et borgne dans la couche complémentaire 3. Il traverse toutefois la sous-couche 6 de scellement et s'associe sur la face 4 active de la couche 2 active.

Dans le mode de réalisation de la figure 3, un trou 21 pyramidal est ménagé dans la sous-couche 7 de protection. Ce trou 21 est non débouchant et borgne
15 dans cette sous-couche 7 et, a fortiori, dans la couche complémentaire 3. Il s'ouvre à la face de la couche complémentaire 3 opposée à la face active 4 de la couche active 2.

Dans le mode de réalisation de la figure 4, un trou 21 du type du trou présenté à la figure 3 est ménagé dans la sous-couche 7 de protection. Ce trou 21
20 est situé à l'aplomb d'un trou 20 du type de celui présenté à la figure 2 et en correspondance avec ce trou 21.

Dans le mode de réalisation de la figure 5, un trou 22 pyramidal est ménagé dans la sous-couche 7 de protection. Ce trou 22 est non débouchant et forme une cavité dans la couche complémentaire 3. Cette cavité est formée dans la sous-
25 couche 7 de protection. Elle est limitée par la sous-couche 6 de scellement.

Dans le mode de réalisation montré à la figure 6, un trou 22 du type du trou présenté à la figure 5 est situé à l'aplomb et en correspondance avec un trou 20 ménagé dans la sous-couche de scellement 6 et du type du trou présenté à la figure 2. L'ensemble des trous 20, 22 forme un trou non débouchant borgne dans
30 la couche complémentaire 3.

Dans le mode de réalisation de la figure 7, un trou 23 non débouchant est ménagé dans la sous-couche 7 complémentaire. Ce trou 23 est conique tronqué en sa base. Il définit une cavité dans laquelle est logée une particule 24 de dureté avantageusement supérieure ou égale à la dureté de la sous-couche active de la couche active 2. Cette particule 24 est par exemple une micro-bille sphérique dont les dimensions sont avantageusement ajustées pour que les parois du trou 23 bloquent ladite particule 24.

Dans le mode de réalisation de la figure 8, un trou 23, du type du trou présenté à la figure 7, est situé à l'aplomb et en correspondance avec un trou 20 du type de celui présenté à la figure 2. L'ensemble des trous 20 et 23 forme un trou non-débouchant borgne dans la couche complémentaire 3 dont l'ouverture débouche à la face active de la couche active 2. La particule 24 est, dans ce cas, avantageusement plus volumineuse que la particule 24 présentée à la figure 7. En effet, dans le mode de réalisation montré à la figure 8, la particule 24 est cette fois directement en contact avec l'élément de circuit qu'elle surplombe.

Ainsi, dans le cas où un fraudeur tenterait par exemple d'accéder au circuit intégré d'un dispositif selon l'invention du type de celui montré à la figure 2 au moyen d'une attaque RIE, les éléments de circuit situés à l'aplomb du trou 20 seraient détruits. En effet, l'attaque RIE procède couche moléculaire par couche moléculaire et ce, parallèlement à un plan : le plan de la couche complémentaire 3. Aussi, lorsque le niveau de la sous-couche 6 de scellement est atteint, des complexes chimiques sont formés, au niveau du trou 20, avec les éléments de circuit. Ces complexes sont alors détruits par bombardement ionique sans que le fraudeur puisse éviter cette destruction. Il n'est finalement pas possible d'obtenir des secrets conservés dans le circuit.

Il en va de même avec des dispositifs 1 du type de ceux montrés aux figures 3 à 8.

Toutefois, on notera que, lorsqu'un dispositif 1 selon l'invention est muni de trous du type 20, 22 ou 23, c'est-à-dire non apparents à la surface de la couche complémentaire 3, le fraudeur ne sait pas a priori si le dispositif comporte un trou

et où serait situé ce trou. Il ne peut donc tenter d'éviter la destruction des éléments de circuit.

On notera d'autre part que, dans le cas où le trou comporte une particule du type 24 et dans le cas où le fraudeur procède par polissage, le plateau tournant de polissage repousse la micro-particule contre la face active et cette micro-
5 particule, dont la dureté est supérieure ou égale à la dureté de la sous-couche active, détruit l'élément de circuit qu'elle surplombe, voire la couche active 2 rendant le circuit non utilisable pour l'obtention des secrets qu'il comporte.

Par ailleurs, pour la fabrication de dispositifs 1 selon l'invention, on utilise
10 des tranches de matériau semi-conducteur appelées wafer.

A la figure 9, on a montré, en partie haute, un wafer classique 30 muni de quelques centaines voire quelques milliers de circuits intégrés 31. En partie basse de cette figure, on a montré une tranche 32 de silicium. Cette tranche 32 de silicium est destinée à être scellée au wafer 30 par une épaisseur de polyimide
15 figurée sous la forme d'une tranche 33 intermédiaire entre le wafer 30 et la tranche 32.

En pratique, la tranche 32 est gravée des nombreuses ouvertures débouchantes non visibles sur les dessins destinées à former les ouvertures 8 des dispositifs 1 et des trous non débouchants selon l'invention.

20 D'autre part, une épaisseur de précurseur de polyimide sous forme non polymérisée est appliquée à la surface des circuits intégrés 31 du wafer classique 30 préalablement couverte d'un promoteur d'adhérence. L'ensemble wafer 30 et épaisseur de précurseur de polyimide 33 superposé, est porté à une température de l'ordre de 80 °C de manière que le précurseur de polyimide adhère
25 suffisamment au wafer. Des trous du types des trous 20 ainsi que des ouvertures destinées à permettre une connexion électrique des plots, sont alors ménagés par gravure dans l'épaisseur 33 de précurseur.

Il suffit alors de reporter l'ensemble précité sur la tranche 32 et de soumettre ce nouvel ensemble à des cycles de température et de pression tels qu'on ait une
30 polymérisation du polyimide avec scellement dudit nouvel ensemble, pour

obtenir une tranche de matériau semi-conducteur muni d'une pluralité de dispositifs 1 selon l'invention.

Dans le cas où des particules 24 sont ajoutées dans des trous du type 23, ces particules 24 sont par exemple déposées sur la tranche 32 maintenue
5 sensiblement horizontale. Ces particules tombent alors par gravité dans les trous 23. L'ensemble wafer classique et précurseur est alors reporté sur la tranche 32, verticalement, à la manière présentée en figure 9.

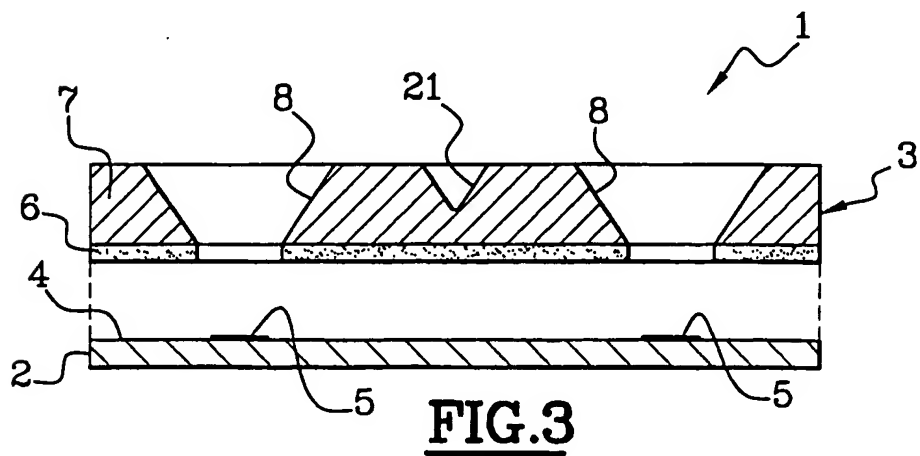
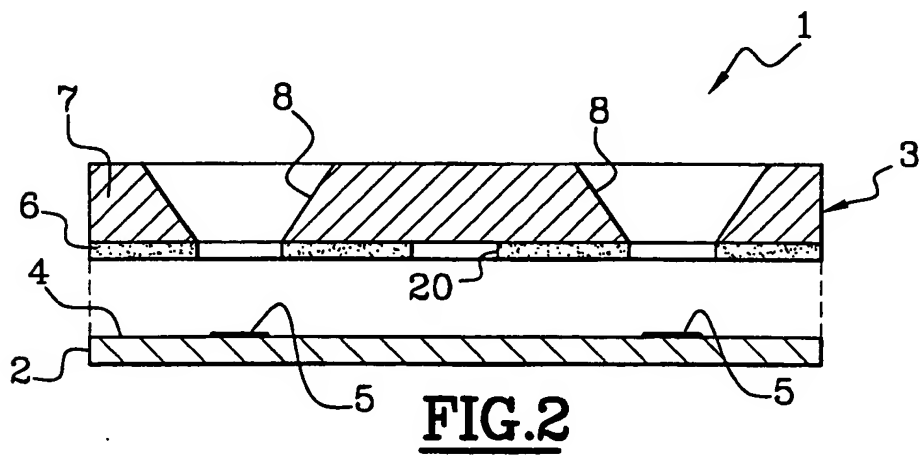
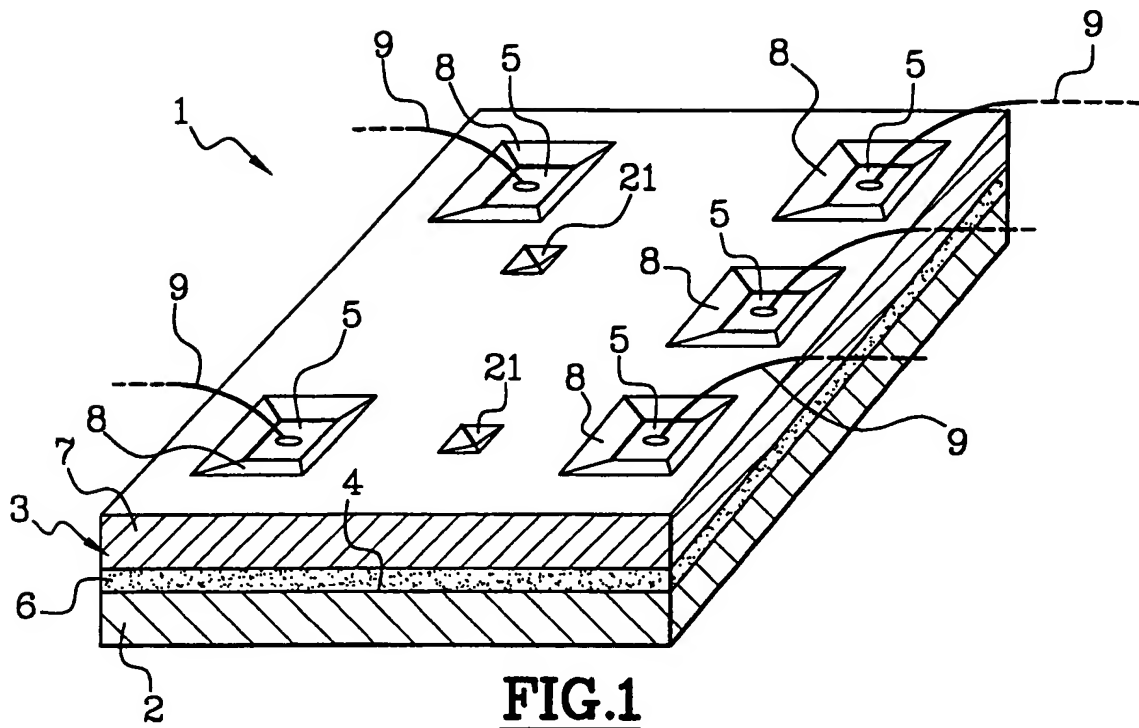
Une fois scellé, l'ensemble est aminci par micro-usinage et les dispositifs 1 selon l'invention sont découpés et détachés successivement et reportés au sein
10 d'un module du type connu de l'état de la technique, ce module étant inséré dans un corps de carte pour l'obtention d'une carte à puce sécurisée selon l'invention ou d'un objet portatif du type carte à puce.

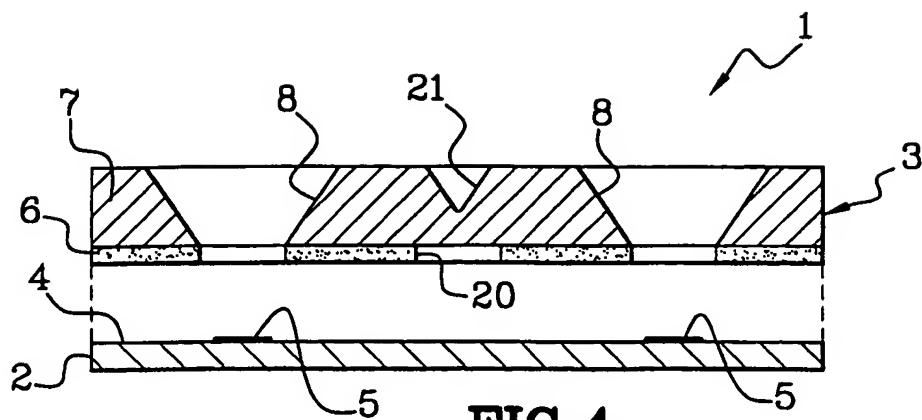
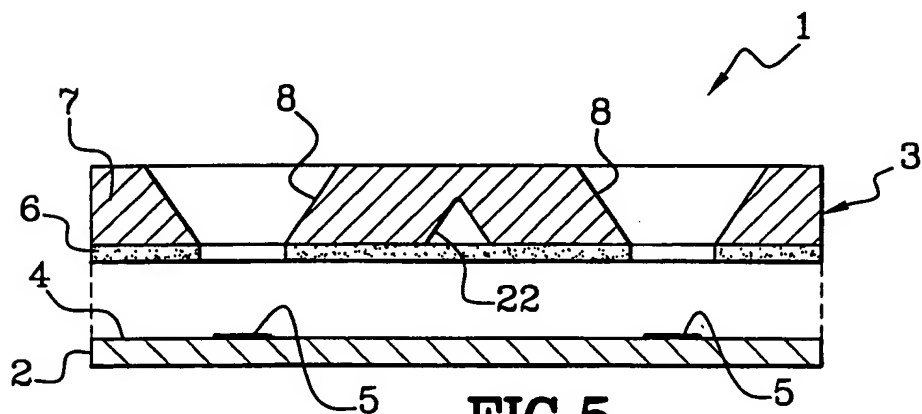
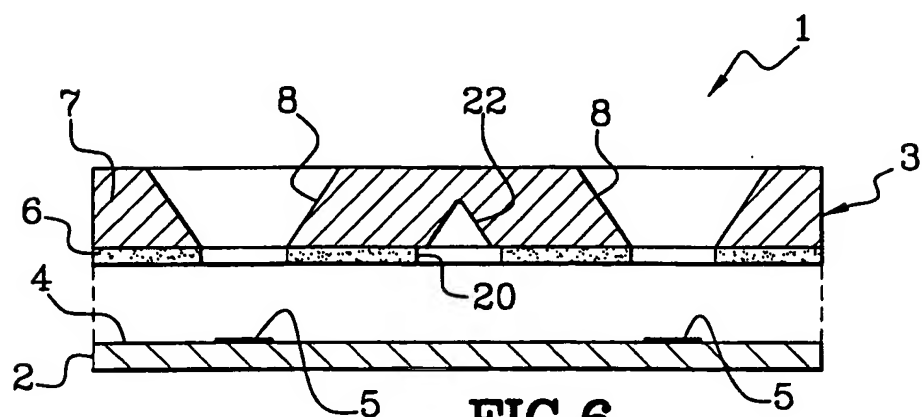
On notera que les trous sont avantageusement placés à des endroits différents d'un circuit intégré à un autre d'une même tranche de matériau semi-
15 conducteur, et qu'ils sont avantageusement en nombre important et de différents types afin qu'un fraudeur ne puisse savoir à l'avance leur nombre et leur localisation.

REVENDICATIONS

1. Dispositif (1) à circuit intégré comportant :
 - une couche (2) active comprenant
 - un matériau semi-conducteur ;
 - 5 un circuit intégré à une face (4) active de ladite couche (2) active, ledit circuit intégré comportant des éléments de circuit et au moins un plot (5) de contact affleurant à ladite face (4) active ;
 - une couche (3) complémentaire fixée à ladite face (4) active, ladite couche (3) complémentaire couvrant au moins partiellement ledit circuit
 - 10 intégré de ladite couche (2) active ;
 - caractérisé en ce qu'un trou (20, 21, 22, 23) est ménagé dans la couche (3) complémentaire, ledit trou (20, 21, 22, 23) étant situé à l'aplomb d'au moins un élément de circuit.
2. Dispositif selon la revendication 1, caractérisé en ce que la couche (3) 15 complémentaire se compose d'une sous-couche (7) de protection et d'une sous-couche (6) de scellement, ladite sous-couche (7) de protection étant scellée à la face (4) active de la couche (2) active au moyen de la sous-couche (6) de scellement.
3. Dispositif selon l'une des revendications 1 ou 2, caractérisé en ce que le trou 20 (20, 21, 22, 23) est un trou non-débouchant.
4. Dispositif selon la revendication 3, caractérisé en ce que le trou (20, 21) est un trou borgne.
5. Dispositif selon la revendication 3, caractérisé en ce que le trou (22, 23) forme une cavité non-débouchante de la couche (3) complémentaire.
- 25 6. Dispositif selon l'une des revendications 1 à 4, caractérisé en ce que le trou (21) s'ouvre à une face de la couche complémentaire (3) opposée à la face active de la couche (2) active.
7. Dispositif selon l'une des revendications 1 à 4, caractérisé en ce que le trou (20) s'ouvre sur la face (4) active de la couche (2) active.

8. Dispositif selon l'une des revendications précédentes, caractérisé en ce que le trou (20, 21, 22, 23) comporte une particule (24).
9. Dispositif selon la revendication 8, caractérisé en ce que cette particule (24) a une dureté supérieure ou égale à celle de la sous-couche active de la couche
5 active (2).
10. Carte à puce ou objet portatif du type carte à puce comportant un corps muni d'un dispositif (1) selon l'une quelconque des revendications 1 à 9.
11. Tranche de matériau semi-conducteur, caractérisée en ce qu'elle est munie d'une pluralité de dispositifs (1) selon l'une des revendications 1 à 9.



**FIG. 4****FIG. 5****FIG. 6**

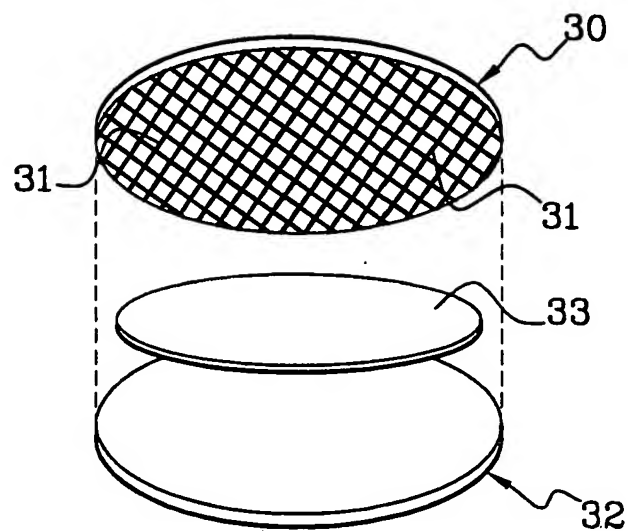
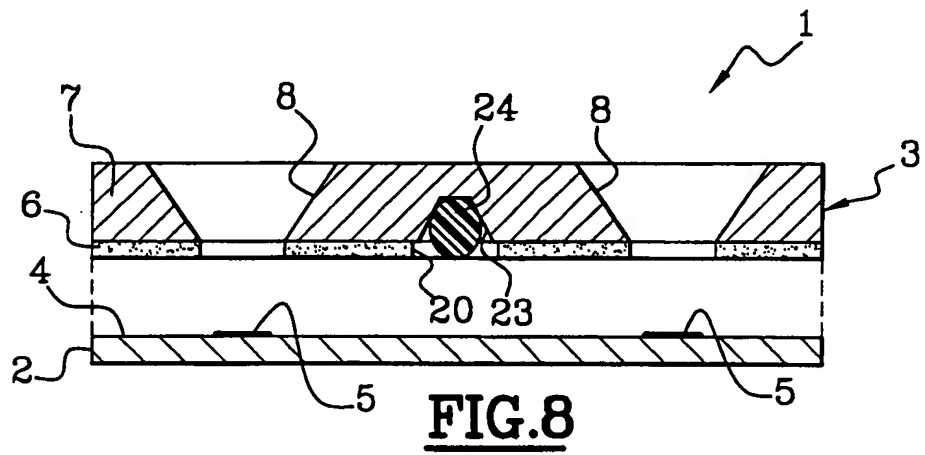
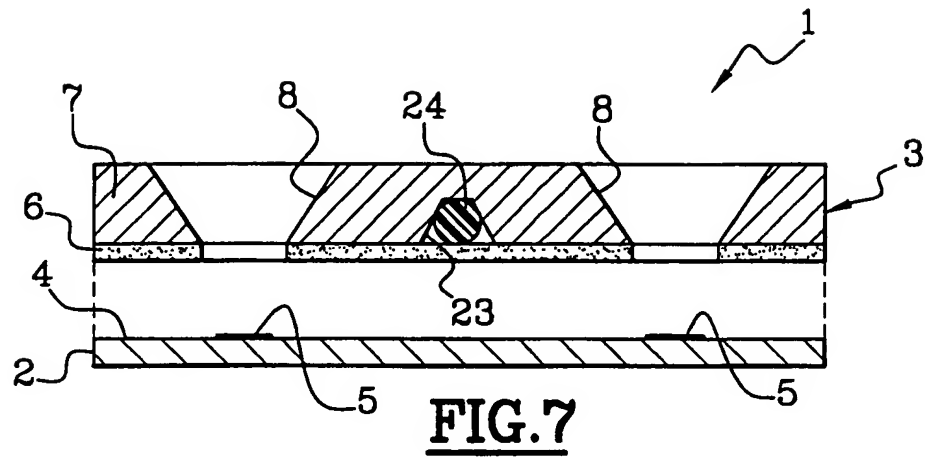


FIG. 9

INTERNATIONAL SEARCH REPORT

International Application No

PCT/R 00/01031

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06K G06F H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 682 296 A (HOREJS JR CHARLES F ET AL) 28 October 1997 (1997-10-28) figures 17,18,21,27,28,42 ----	1
A	DE 197 41 889 A (HOEFT & WESSEL GMBH) 1 April 1999 (1999-04-01) the whole document ----	1
A	EP 0 080 233 A (RADIOTECHNIQUE COMPELEC ;KONINKL PHILIPS ELECTRONICS NV (NL)) 1 June 1983 (1983-06-01) the whole document -----	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

9 August 2000

Date of mailing of the international search report

17/08/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Cardigos dos Reis, F

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inventor's Name: [REDACTED] Application No

PCT/FR 00/01031

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5682296 A	28-10-1997	US 5581445 A	03-12-1996
		US 5682293 A	28-10-1997
		US 6058017 A	02-05-2000
		US 5673179 A	30-09-1997
		US 5682294 A	28-10-1997
		US 5682295 A	28-10-1997
<hr/>			
DE 19741889 A	01-04-1999	AU 9746498 A	12-04-1999
		WO 9915946 A	01-04-1999
		EP 1015955 A	05-07-2000
<hr/>			
EP 0080233 A	01-06-1983	FR 2517165 A	27-05-1983
		CA 1204529 A	13-05-1986
		DE 3265893 D	03-10-1985
		JP 1622343 C	25-10-1991
		JP 2039879 B	07-09-1990
		JP 58100486 A	15-06-1983
<hr/>			

RAPPORT DE RECHERCHE INTERNATIONALE

Internationale No
PCT/R 00/01031

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G06K19/077

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06K G06F H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 682 296 A (HOREJS JR CHARLES F ET AL) 28 octobre 1997 (1997-10-28) figures 17,18,21,27,28,42 ----	1
A	DE 197 41 889 A (HOEFT & WESSEL GMBH) 1 avril 1999 (1999-04-01) le document en entier ----	1
A	EP 0 080 233 A (RADIOTECHNIQUE COMPELEC ;KONINKL PHILIPS ELECTRONICS NV (NL)) 1 juin 1983 (1983-06-01) le document en entier -----	1

☐

Voir la suite du cadre C pour la fin de la liste des documents

☒

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

9 août 2000

Date d'expédition du présent rapport de recherche internationale

17/08/2000

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Cardigos dos Reis, F

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Classe internationale No
PCT/ISA 00/01031

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5682296 A	28-10-1997	US 5581445 A	03-12-1996
		US 5682293 A	28-10-1997
		US 6058017 A	02-05-2000
		US 5673179 A	30-09-1997
		US 5682294 A	28-10-1997
		US 5682295 A	28-10-1997
DE 19741889 A	01-04-1999	AU 9746498 A	12-04-1999
		WO 9915946 A	01-04-1999
		EP 1015955 A	05-07-2000
EP 0080233 A	01-06-1983	FR 2517165 A	27-05-1983
		CA 1204529 A	13-05-1986
		DE 3265893 D	03-10-1985
		JP 1622343 C	25-10-1991
		JP 2039879 B	07-09-1990
		JP 58100486 A	15-06-1983